

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-248221

(43) 公開日 平成4年(1992)9月3日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 H 69/02		7250-5G		
85/046		7250-5G	H 0 1 H 85/04	

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-6252

(22) 出願日 平成3年(1991)1月23日

(71) 出願人 000004455

日立化成工業株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 廣山 幸久

茨城県下館市大字小川1500番地 日立化成  
エレクトロニクス株式会社内

(72) 発明者 池田 正義

茨城県下館市大字小川1500番地 日立化成  
工業株式会社下館第二工場内

(72) 発明者 磯貝 時男

東京都新宿区西新宿二丁目1番1号 日立  
化成工業株式会社内

(74) 代理人 弁理士 若林 邦彦

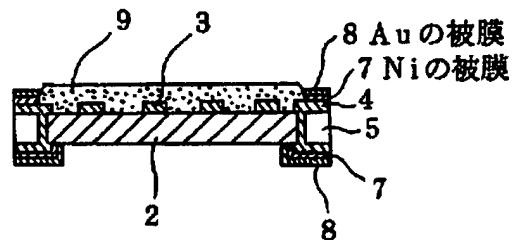
最終頁に続く

(54) 【発明の名称】 チップ型ヒューズの製造法

(57) 【要約】

電極とセラミック基板との密着強度に優れ、電極の剥離、腐食等が生ぜず、速断性に優れ、かつ量産化に優れるようにする。

【構成】 複数個のチップ型ヒューズを一括して形成するセラミック基板2の表面を粗化し、無電解めっき法で2~10μmの厚さにCuの被膜を形成し、ついでCuの被膜の上面にレジスト膜を形成し、しかる後露光、現像、エッチング、レジスト膜の剥離をし、Cuの被膜の必要な部分のみを残して導体回路3及び電極4を形成した後、導体回路3の上面及びセラミック基板2の上部露出面にシリコン被膜9を形成し、さらに電極4の上面にNiの被膜7及びAuの被膜8を形成した後、前記セラミック基板2を個々に分割してチップ状に形成する。



## 【特許請求の範囲】

【請求項1】 複数個のチップ型ヒューズを一括して形成するセラミック基板の表面を粗化し、無電解めっき法で2～10 $\mu$ mの厚さにCuの被膜を形成し、ついでCuの被膜の上面にレジスト膜を形成し、しかる後露光、現像、エッチング、レジスト膜の剥離をし、Cuの被膜の必要な部分のみを残して導体回路及び電極を形成した後、導体回路の上面及びセラミック基板の上部露出面にシリコーン被膜を形成し、さらに電極の上面にNiめっき及びAuめっきを施した後、前記セラミック基板を個々に分割してチップ状に成形することを特徴とするチップ型ヒューズの製造法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、チップ型ヒューズの製造法に関する。

## 【0002】

【従来の技術】 一般に電子回路部品などにおいては、過電流が流れないようにヒューズを設け破損等を防止するようにしている。該ヒューズとしては、近年プリント基板等に直接実装するためにチップ型のものが開発されている。従来セラミック基板を用いたチップ型ヒューズの製造法としては、特開昭62-172628号広報に示されるような方法がある。このチップ型ヒューズは、チップの両側端部に金属線が接着されており、過電流により金属線が破断するように構成されている。

## 【0003】

【発明が解決しようとする課題】 しかしながら上記の方法によれば、セラミック基板両端部の電極形成工程と金属線を接着する導体回路形成工程とが必要となり、このため工程数が多くなり量産化を阻害していた。また電極が厚膜ペーストで形成されているため電極とセラミック基板との密着力が弱く、電極が剥離したり腐食するという欠点がある。

【0004】 さらにセラミック基板は、蓄熱性が悪く、溶断時間が長くなり、例えばLSI〔ラージ・スケール・インテグレイティッド・サーキット (Large Scale Integrated Circuit)〕の保護回路等に使用され、速断性の要求されるヒューズには適用出来ないという欠点がある。

【0005】 本発明は上記の欠点のないチップ型ヒューズの製造法を提供することを目的とするものである。

## 【0006】

【課題を解決するための手段】 本発明者らは、上記の欠点について種々検討した結果、フォト、エッチング法を用いてめっき法で形成したCuの被膜を利用して導体回路及び電極を構成すれば、導体回路と電極とが同一の工程で形成することができ、かつ電極とセラミック基板との密着性に優れ、電極の剥離、腐食等が生ぜず、溶断特性の優れたチップ型ヒューズが得られることを見出し

た。

【0007】 本発明は、複数個のチップ型ヒューズを一括して形成するセラミック基板の表面を粗化し、無電解めっき法で2～10 $\mu$ mの厚さにCuの被膜を形成し、ついでCuの被膜の上面にレジスト膜を形成し、しかる後露光、現像、エッチング、レジスト膜の剥離をし、Cuの被膜の必要な部分のみを残して導体回路及び電極を形成した後、導体回路の上面及びセラミック基板の上部露出面にシリコーン被膜を形成し、さらに電極の上面にNiめっき及びAuめっきを施した後、前記セラミック基板を個々に分割してチップ状に成形するチップ型ヒューズの製造法に関する。

【0008】 本発明においてセラミック基板の材質としては、アルミナ、PZT（鉛、ジルコニア及びチタンを主成分としたもの）、ムライト、チ化アルミニウム等が用いられる。

【0009】 セラミック基板の表面を粗化する方法については特に制限はないが、セラミック基板を融点以上の温度に加熱したアルカリ融液中に30秒以上浸漬して粗化すれば作業性に優れ、またばらつきが少なく、均一に粗化することができるので好ましい。

【0010】 Cuの被膜は、無電解めっき法で形成するものとし、電気めっき法ではリード端子を必要とするため工程が煩雑となり、まためっきの厚さにばらつきが生じ、他の蒸着法、スパッタ法では特殊な装置を必要とするため高価になるという欠点が生じる。

【0011】 Cuの被膜の厚さは2～10 $\mu$ mの範囲とされ、2 $\mu$ m未満であると定格電流で長時間通電した場合、導体回路の抵抗変率率が37%以上となりヒューズとして使用出来ない。また10 $\mu$ mを越えると定格電流の20倍の電流を通電し溶断時間を測定すると溶断時のCuが残存し、アークが発生して回路遮断時間が長くなるという欠点がある。

【0012】 Niめっき及びAuめっきの厚さについては特に制限はないが、Niめっきの厚さが2～5 $\mu$ mの範囲でAuめっきの厚さが0.08～0.2 $\mu$ mであれば半田濡れ性の面で好ましい。

## 【0013】

【実施例】 以下本発明の実施例を説明する。

## 40 実施例1

図3の(a)に示すように複数個のチップ型ヒューズを一括して形成する直径が0.8mm( $\phi$ )のスルーホール5を形成したアルミナセラミック基板(日立化成工業製、商品名ハロックス552、寸法80×80×厚さ0.635mm)2を脱脂液(日立化成工業製、商品名HCR-201)で洗浄し、乾燥後NH<sub>4</sub>F 10g(40.5重量%)、(NH<sub>4</sub>)<sub>2</sub>SO<sub>4</sub> 1g(4.1重量%)、濃H<sub>2</sub>SO<sub>4</sub> 2ml(14.9重量%)及びH<sub>2</sub>O 10ml(40.5重量%)の混合溶液(液温70℃)中に10分間浸漬して粗化を行った。なお図3の(a)

において11は基板分割部である。

【0014】次に流水中で十分に水洗し、乾燥後350℃に加熱したNaOH融液中に5分間浸漬して再粗化を行った。この後、濃度10重量%のH<sub>2</sub>SO<sub>4</sub>溶液中に5分間浸漬し、超音波（出力300W）による振動エネルギーを付与し、アルミナセラミック基板2の表面を中和し、ついで水洗を行い、無電解Cuめっきを4時間行って図3の(b)に示すように厚さ9μmのCuの被膜6を形成した。なお無電解Cuめっき液はpHが12.4で表1に示す組成のものを用いた。

【0015】

【表1】

組 成 物	配合割合
CuSO <sub>4</sub> ・5H <sub>2</sub> O	8 (g/l)
エチレンジアミン・4酢酸 -2ナトリウム	60 (g/l)
試薬特級ホルマリン	3 (ml/l)

【0016】Cuめっき後感光性レジストフィルム（日立化成工業製、商品名PHT-862AF-25）を前記Cuの被膜6上に全面貼付し、さらにその上面に、得られる導体回路と同形状に透明な部分を形成したネガフィルム（図示せず）を貼付した後、露光してネガフィルムの透明な部分の下面に配設した感光性レジストフィルムを硬化させた。ついでネガフィルムを取り除き、さらに現像して硬化していない部分、詳しくは露光していない部分の感光性レジストフィルムを除去し、図3の(c)に示すようなレジスト膜10を形成した。しかる後濃度25重量%の過硫酸アンモニウムの溶液でエッチングを行い、図3の(d)に示すように導体回路として不必要な部分のCuの被膜6を除去した。

【0017】この後濃度5重量%のNaOH溶液で硬化している感光性レジストフィルムを剥離し、図3の(e)に示すように導体回路3及び電極4を同時に形成したセラミック配線板を得た。

【0018】次に該セラミック配線板を水洗し、乾燥後印刷法で導体回路3の上面及びアルミナセラミック基板2の上部露出面にシリコン樹脂（東レ・ダウ・コーニング製、商品名SE-1700）を60μmの厚さに塗布し、オープン中で、130℃で15分間硬化させ、図3の(f)に示すようにシリコン被膜9を形成した。

【0019】ついで脱脂液（日立化成工業製、商品名HCR-201）で洗浄し、水洗後濃度10重量%のH<sub>2</sub>SO<sub>4</sub>溶液中に1分間浸漬し、再度水洗後、従来公知の方法で無電解Ni及びAuめっきを施し、図3の(g)に示すようにそれぞれ厚さ2.0μm及び0.1μmのNiの被膜7及びAuの被膜8を形成したチップ型ヒューズ

ズ基板を得た。なお無電解Niめっき液は、日本カニゼン製の商品名S-680を用い、浴温70℃で10分間行い、無電解Auめっき液は、EJ A製の商品名レクトロレスプレップを用い浴温90℃で10分間行った。

【0020】このようにして得られたチップ型ヒューズ基板をスライシングマシン（ディスコ製、商品名DA D-2H-6）を用いて基板分割部11で個々に分割して個々の寸法が3.2×1.6mmとした図1及び図2に示すチップ型ヒューズ1を得た。

【0021】次に上記で得たチップ型ヒューズ1を10ヶ用い半田濡れ性試験を行った。試験はチップ型ヒューズ1を240℃に加熱して溶融した6:4半田（Pb:Sn=6:4）中に5秒間浸漬した後引上げ、再度5秒間浸漬する工程を5回繰り返して行った。その結果半田くわれも無く、100%濡れており良好であった。また上記で得たチップ型ヒューズ1を10ヶ用い電極4の部分に、錫めっきを施した直径0.8mmの銅線を垂直に半田付けしたものをを用いて密着強度（プル強度）を測定した。その結果24~32MPaの範囲で、平均値26MPaの密着強度を示し良好であった。

【0022】さらに上記で得たチップ型ヒューズ（定格電流300mA品、導体回路部分の抵抗0.8Ω、導体回路の厚さ9μm、導体回路の幅50μm、導体回路の長さ18mm）1を10ヶ用い、速断性を調べた。測定方法は、定格電流の20倍に相当する定電流6Aを通電し、溶断するまでの時間をオシロスコープを用いて測定した。その結果溶断時間は、最長が0.17×10<sup>-3</sup>秒、最短が0.08×10<sup>-3</sup>秒で、平均が0.12×10<sup>-3</sup>秒であった。また外観を観察したところアルミナセラミック基板2に割れは発生していなかった。

【0023】比較例1

Cuの被膜（導体回路）の厚さを15μm、導体回路の長さを10mmとした以外は、実施例1と同様の工程を経てチップ型ヒューズを得た。ついで得られたチップ型ヒューズを10ヶ用いて実施例1と同様の方法で半田濡れ性試験、密着強度及び速断性を調べた。その結果半田くわれは無く、100%濡れており、密着強度も20~31MPaの範囲で、平均値が25MPaと良好であり問題はなかったが、溶断時間が最長で6.6×10<sup>-3</sup>秒、最短が3.7×10<sup>-3</sup>秒で平均が4.4×10<sup>-3</sup>秒と長く、また外観を観察したところ3ヶのアルミナセラミック基板に割れが発生していた。

【0024】

【発明の効果】本発明の製造法によって得られるチップ型ヒューズは、電極とセラミック基板との密着強度に優れ、電極の剥離、腐食等が生ぜず、速断性に優れ、電極形成工程と導体回路形成工程とを同一工程で形成できるため量産化に優れ、工業的に極めて好適なチップ型ヒューズである。

## 【図面の簡単な説明】

【図1】本発明の実施例になるチップ型ヒューズの傾斜図である。

【図2】図1のA-A線断面図である。

【図3】本発明の実施例になるチップ型ヒューズの製作状態を示す断面図である。

## 【符号の説明】

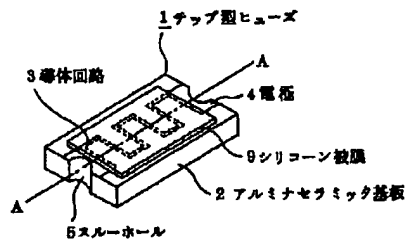
1 チップ型ヒューズ  
ナセラミック基板

2 アルミ

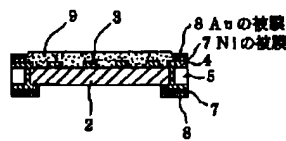
3 導体回路  
5 スルーホール  
被膜  
7 Niの被膜  
被膜  
9 シリコン被膜  
ト膜  
11 基板分割部

4 電極  
6 Cuの  
8 Auの  
10 レジス

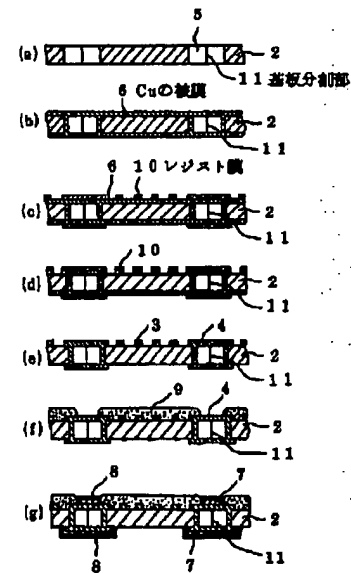
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 高橋 徹也

茨城県下館市大字小川1500番地 日立化成  
工業株式会社下館第二工場内

(72)発明者 三森 誠司

茨城県日立市東町四丁目13番1号 日立化  
成工業株式会社茨城研究所内